

⑫ 公開特許公報(A)

平1-117017

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月9日

H 01 L 21/203
21/207630-5F
7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 Si 基板上の GaAs エピタキシャル成長法

⑯ 特 願 昭62-274088

⑰ 出 願 昭62(1987)10月29日

⑱ 発 明 者 小 笠 原 和 人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

キシャル成長法

1. 発明の名称

Si 基板上の GaAs エピタキシャル成長法

2. 特許請求の範囲

Si 基板上に、原子層単位で成長を制御し得る
処理法によって、

Si 層及びその上の GaAs 層、更にその上の
Ge 層から成り、夫々の原子層数は偶数である超
格子層を繰り返しエピタキシャル成長させる工程、

該工程に引き続き、前記超格子層を形成する
Ge 層の原子層数よりも多い原子層数の Ge 層を
エピタキシャル成長させる工程、

該工程に引き続き、第1の温度で数十原子層の
GaAs 層をエピタキシャル成長させる工程を実
施した後、

前記処理法あるいは他の処理法によって、前記
第1の温度よりも高い第2の温度で、素子形成用
の厚さの GaAs 層をエピタキシャル成長させ
ることを特徴とする Si 基板上の GaAs エピタ

3. 発明の詳細な説明

(概 要)

本発明は Si 基板上の GaAs エピタキシャル
成長に関し、

格子定数の相違に影響されことなく、且つア
ンチフェーズドメインの影響もない低欠陥

GaAs の成長層を得ることを目的とし、

Si 基板上に夫々2原子層から成る Ge /
GaAs / Si の歪超格子層を介在させて
GaAs 層を低温で成長させた後、素子形成用
の GaAs 層をそれよりも高い温度でエピタキシ
ャル成長させるように構成する。

(産業上の利用分野)

本発明は Si 基板上に GaAs 層をエピタキシ
ャル成長させる方法に関わる。

GaAs FET や発光素子などを形成する
GaAs 結晶には、結晶欠陥が極力少ないか或い

は極端な場合には無欠陥であることが要求される。エピタキシャル成長結晶に於いても、これを低欠陥にするためには、基板結晶が低欠陥であることが要求される。

高電子移動度トランジスタ(HEMT)のように、素子形成領域を全てエピタキシャル成長によって形成する場合には、低欠陥GaAsよりも廉価な無欠陥Siを基板結晶として使用する方が製造コストが低減される。

しかしながら、Si基板上にGaAsをエピタキシャル成長させるには、(1)格子定数の違い、(2)熱膨張係数の違い、(3)アンチフェーズドメインの発生、という問題を解決しなければならない。従来、これ等は極めて困難な課題と目されていたが、最近になってその解決の糸口ともなる技術が種々開発されている。

(3)のアンチフェーズドメインはGaAsの分極性に起因する現象であって、詳しい説明は省略するが、基板結晶面に原子面のステップが存在すると、該ステップを境にしてその上に堆積される

GaAsの原子配列に狂いを生じ、結晶方位の異なる領域ができる。更にこれに関連する現象として、GaAs上にSiを成長させる場合は層状成長するが、Si上にGaAsを成長させる場合には島状成長となることも知られている。

(2)の熱膨張係数の違いは、成長温度を低くすることによって解決し得る問題であり、近年種々の低温エピタキシャル成長法が開発されている。

(1)の格子定数の違いは材料が異なれば必然的に生ずる問題であり、従来は格子定数の近似した材料を組み合わせる等の消極的な対策しか知られていなかったのであるが、近年、歪超格子なる考えが提示され、格子定数の違いを積極的に解消する技術として注目されている。

これは、格子定数の異なるエピタキシャル成長であっても、数原子層程度の極めて薄い成長層にはミスフィット転位は発生せず、内部応力も少ないという仮説に基づいており、この仮説は種々の実験結果から正しいものとして受け入れられている。

3

更に、成長させる材料と基板材料を、ミスフィット転移が発生せず、残留応力も許容範囲内である厚さで交互に成長させると、次第に応力が減少し、その上に厚く成長させてもミスフィット転位は発生しなくなる。

今日では分子線エピタキシャル成長法(MBE)によって、原子層単位でのエピタキシャル成長が可能であり、この種の歪緩和層は、数原子層の厚みで交互に積層される構造から、歪超格子と呼ばれている。

(従来技術と発明が解決しようとする問題点)

Si基板上にGaAsをエピタキシャル成長させるための歪超格子として、Ga_xAs_{1-x}P系の超格子を用いることがT.Soga等の論文(J.Appl. Phys., 57, p.4578(1985))に開示されている。

これはSi基板上にAlP層とAlGaP層を成長させ、その上にGaP/GaAsPの超格子とGaAsP/GaAsの超格子を順次成長させたものにGaAsを成長させることで、Si基板

4

に最終的にGaAsをエピタキシャル成長させた形状を実現するものである。

上記従来技術のAlP層とAlGaP層の部分を簡略化し、第2図に示すようにGaP層8に変わっても同様の効果を得ることが出来る。同図で1はSi基板、7はGaAsエピタキシャル層、9はGaP/GaAsP超格子層、10はGaAsP/GaAs超格子層である。

このように歪超格子を利用することにより、欠陥発生や歪を避けながら、Si基板上にGaAsをエピタキシャル成長させる方法は知られているが、上記例のように構造が複雑であったり、Pのように蒸気圧が高い材料はMBE処理が困難であるといった問題が残されている。

本発明の目的は、より簡略な構造で、且つ取り扱い易い材料の組み合わせによって、Si基板上のGaAsエピタキシャル成長を行う方法を提供することである。

(問題点を解決するための手段)

上記目的を達成するために本発明では、

Si 基板上に、原子層単位で成長を制御し得る処理法によって、

Ge 層及びその上の GaAs 層、更にその上の Si 層から成り、夫々の原子層数は偶数である超格子層を繰返しエピタキシャル成長させる工程、

該工程に引き続き、前記超格子層を形成する単位層の原子層数よりも多い原子層数の Ge 層をエピタキシャル成長させる工程、

該工程に引き続き、第 1 の温度で数十原子層の GaAs 層をエピタキシャル成長させる工程を実施した後、

前記処理法あるいは他の処理法によって、前記第 1 の温度よりも高い第 2 の温度で、素子形成に必要な厚さの GaAs 層をエピタキシャル成長させることが行われる。

(作用)

上記超格子の形成では、Ge 層は Si 層上に堆

7

(実施例)

第 1 図は本発明実施例によって形成される積層構造を示す模式図である。以下、該図面を参照しながら、実施例の工程を説明する。

Si 基板 1 に MBE で Ge 層 2 を 2 原子層堆積する。原子が堆積される状態は RHEED と呼ばれる電子線回折によって監視することが出来る。該回折出力は 1 原子層堆積する毎に 1 つのピークを示すので、2 つ目のピークを確認したところで MBE を停止する。

2 原子層を堆積するのは、「作用」の項で述べたように、次の GaAs 層にアンチフェーズドメインの発生を避けるためである。従ってここは偶数であれば良く、4 原子層でもよいことになるが、処理時間の点からは 2 原子層が望ましい。2 原子層或いは 4 原子層程度の堆積ではミスフィット転位は発生せず、応力も小である。

次に MBE で GaAs 層 3 を 2 分子層エピタキシャル成長させる。この場合下地は格子定数が略同じ Ge であるから、格子定数の差異に起因する

積される。この場合、格子定数には明確な差異があるが、2 原子層程度の厚みではミスフィット転位は発生しない。更にその上に GaAs を成長させるが、GaAs の格子定数は Ge と殆ど同じであり、ミスフィットの問題は全く無い。

また、下地 Ge が 1 原子層であると、原子面にステップがあった場合にステップを挟んで GaAs の原子配列が違ってくることがあるが、2 原子層を単位として処理すればこのようなアンチフェーズドメインの問題を回避することが出来る。

Si は GaAs 上に堆積されるが、この場合は下地が GaAs であり、Si 上への GaAs 成長と違って、比較的容易にエピタキシャル成長させる。格子定数の違いによる歪は層の薄さで吸収する。

このように、本発明で利用する超格子の単位構造は従来技術によって形成可能であり、これを数層重ねることによって Si と GaAs の格子定数の違いによる応力が解消されることになる。

8

問題が生じることはない。続いて同じく MBE で Si 層 4 を 2 原子層堆積するが、これも既述したように、Si 上に GaAs を堆積する程の困難さはない。

以上の処理で本発明に関わる歪超格子の単位構造が実現したことになり、以下、同様の方法で単位超格子を更に 2 層 MBE で成長させる。即ち、Ge、GaAs、Si を各 3 層ずつ堆積させて歪超格子の堆積を終える。

最上層である Si 層の上に MBE で Ge 層 5 を 6 原子層堆積する。これは続く GaAs 層堆積の下地とするもので、6 層としたのは GaAs 層成長中に Ge がある程度拡散消失しても、下地層が残るようにしたものである。続いて MBE で 50 原子層の GaAs 層 6 を堆積する。

以上の処理が終わった Si 基板に、例えば CVD 法のように比較的高速の成長法で GaAs 層 7 を素子形成に必要な厚さにエピタキシャル成長させる。

この実施例では目的とする GaAs 層をエピタ

キシャル成長させる前の結晶成長をすべてMBEで堆積しているので、処理温度が低く、温度変化に伴う異種層間の熱歪は僅かである。

〔発明の効果〕

以上説明したように本発明の方法によれば、Si基板上に欠陥の発生無しにGaAs層をエピタキシャル成長させることが出来、素子形成のコストが低減される。

6はGaAs、
7はGaAs、
8はGaP、
9はGaP/GaAsP、
10はGaAsP/GaAs、
である、

代理人 弁理士 井 術 貞一



4. 図面の簡単な説明

第1図は本発明実施例の歪超格子構造を示す図、

第2図は公知の歪超格子構造を示す図

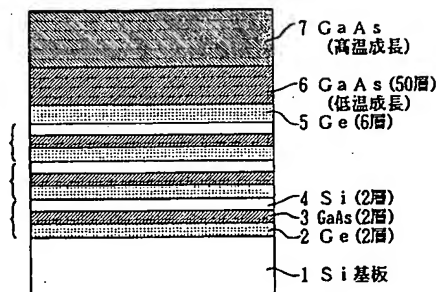
であって、

図に於いて

- 1はSi基板、
- 2はGe、
- 3はGaAs、
- 4はSi、
- 5Ge、

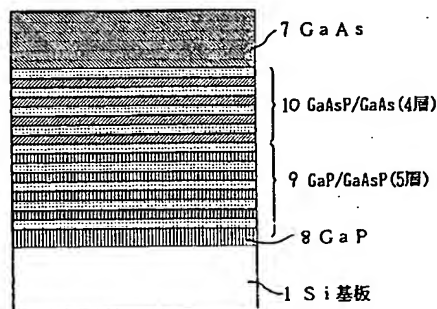
1 1

1 2



本発明実施例の歪超格子構造を示す図

第 1 図



公知の歪超格子構造を示す図

第 2 図